



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0049400  
Application Number

출원 년 월 일 : 2003년 07월 18일  
Date of Application JUL 18, 2003

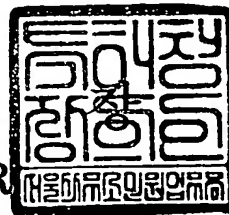
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 13 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003. 10. 22
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【사건의 표시】	
【출원번호】	10-2003-0049400
【출원일자】	2003. 07. 18
【발명의 명칭】	전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조방법
【제출원인】	
【접수번호】	1-1-2003-0262714-54
【접수일자】	2003. 07. 18
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	최준후
【성명의 영문표기】	CHOI, Joon Hoo
【주민등록번호】	640818-1796612
【우편번호】	120-768
【주소】	서울특별시 서대문구 영천동 삼호아파트 108동 303호
【국적】	KR

## 【발명자】

【성명의 국문표기】      주인수  
 【성명의 영문표기】      J00, In Su  
 【주민등록번호】       680917-1036110  
 【우편번호】           463-781  
 【주소】               경기도 성남시 분당구 수내동 푸른마을 쌍용아파트  
                           507동 80 2호

【국적】               KR

## 【발명자】

【성명의 국문표기】      최범락  
 【성명의 영문표기】      CH01, Beom Rak  
 【주민등록번호】       690830-1074316  
 【우편번호】           135-968  
 【주소】               서울특별시 강남구 대치1동 삼성아파트 112-508

【국적】               KR

## 【발명자】

【성명의 국문표기】      허종무  
 【성명의 영문표기】      HUH, Jong Moo  
 【주민등록번호】       691227-1041543  
 【우편번호】           445-973  
 【주소】               경기도 화성군 태안읍 반월리 신영통 현대APT 204  
                           동 902호

【국적】               KR

【취지】               특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규  
                           정에의하여 위와 같 이 제출합니다. 대리인  
                           박영우   (인)

## 【수수료】

【보정료】               0       원  
 【기타 수수료】       원  
 【합계】               0       원

**【서지사항】**

**【서류명】** 서지사항 보정서

**【수신처】** 특허청장

**【제출일자】** 2003.07.29

**【제출인】**

**【명칭】** 삼성전자 주식회사

**【출원인코드】** 1-1998-104271-3

**【사건과의 관계】** 출원인

**【대리인】**

**【성명】** 박영우

**【대리인코드】** 9-1998-000230-2

**【포괄위임등록번호】** 1999-030203-7

**【사건의 표시】**

**【출원번호】** 10-2003-0049400

**【출원일자】** 2003.07.18

**【발명의 명칭】** 전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조방법

**【제출원인】**

**【발송번호】** 1-5-2003-0048313-88

**【발송일자】** 2003.07.24

**【보정할 서류】** 특허출원서

**【보정할 사항】**

**【보정대상항목】** 대리인

**【보정방법】** 정정

**【보정내용】**

**【대리인】**

**【성명】** 박영우

**【대리인코드】** 9-1998-000230-2

**【포괄위임등록번호】** 1999-030203-7

**【취지】** 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 박영우 (인)

1020030049400

출력 일자: 2003/12/18

**【수수료】**

<b>【보정료】</b>	11,000	원
--------------	--------	---

<b>【기타 수수료】</b>	원
-----------------	---

<b>【합계】</b>	11,000	원
-------------	--------	---

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.18
【발명의 명칭】	전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조 방법
【발명의 영문명칭】	THIN FILM TRANSISTOR OF THE ELECTRO LUMINESCENCE DEVICE AND ELECTRO LUMINESCENCE DEVICE USING THE SAME AND METHOD FOR FABRICATING THEREOF
【출원인】	
【명칭】	삼성전자주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1998-030203-7
【발명자】	
【성명의 국문표기】	최준후
【성명의 영문표기】	CHOI, Joon Hoo
【주민등록번호】	640818-1796612
【우편번호】	120-768
【주소】	서울특별시 서대문구 영천동 삼호아파트 108동303호
【국적】	KR
【발명자】	
【성명의 국문표기】	주인수
【성명의 영문표기】	JOO, In Su
【주민등록번호】	680917-1036110
【우편번호】	463-781
【주소】	경기도 성남시 분당구 수내동 푸른마을쌍용아파트 507동802호
【국적】	KR
【발명자】	
【성명의 국문표기】	최범락
【성명의 영문표기】	CHOI, Beom Rak

【주민등록번호】	690830-1074316		
【우편번호】	135-968		
【주소】	서울특별시 강남구 대치1동 삼성아파트 112-508		
【국적】	KR		
【발명자】			
【성명의 국문표기】	허종무		
【성명의 영문표기】	HUR, Jong Moo		
【주민등록번호】	691227-1041543		
【우편번호】	445-973		
【주소】	경기도 화성군 태안읍 반월리 신영통 현대APT 204동902호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	19	면	19,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	48,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

영상의 표시품질을 향상시킨 전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조 방법이 개시되어 있다. 박막 트랜지스터로부터 순방향으로 인가된 구동 전류를 유기 발광층에 인가하여 발생한 레드광, 그린광 및 블루광으로 영상을 디스플레이할 때, 박막 트랜지스터 중 구동 전류가 통과하는 반도체 패턴이 공정 중 식각 또는 손상되어 구동 전류가 반도체 패턴을 통과하면서 변형 또는 왜곡되어 영상의 표시 품질이 크게 저하되는 것을 방지한다.

**【대표도】**

도 1

**【색인어】**

유기 전계발광 디바이스, 식각 저지 패턴



**【명세서】****【발명의 명칭】**

전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조 방법  
{THIN FILM TRANSISTOR OF THE ELECTRO LUMINESCENCE DEVICE AND ELECTRO LUMINESCENCE DEVICE  
USING THE SAME AND METHOD FOR FABRICATING THEREOF}

**【도면의 간단한 설명】**

도 1은 본 발명에 의한 전계발광 디바이스의 박막 트랜지스터를 도시한 개념도이다.

도 2는 본 발명에 의한 전계발광 디바이스를 도시한 개념도이다.

도 3은 도 2의 전계발광 디바이스를 도시한 평면도이다.

도 4는 도 3의 A-A를 따라 절단한 단면도이다.

도 5는 본 발명에 의하여 제 1 마스크로 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 것을 도시한 개념도이다.

도 6은 도 5의 B-B를 따라 절단한 단면도이다.

도 7은 본 발명에 의하여 제 2 마스크로 제 1, 제 2 식각 저지층을 형성하는 것을 도시한 개념도이다.

도 8은 도 7의 C-C를 따라 절단한 단면도이다.

도 9는 본 발명에 의하여 제 3 마스크로 제 1, 제 2 소오스 전극 및 제 1, 제 2 드레인 전극을 형성한 것을 도시한 개념도이다.

도 10은 도 9의 D-D 단면을 따라 절단한 단면도이다.

도 11은 본 발명에 의하여 제 4 마스크로 제 1 드레인 전극 및 제 2 드레인 전극에 콘택홀을 형성한 것을 도시한 개념도이다.

도 12는 도 10의 E-E 단면을 따라 절단한 단면도이다.

도 13은 본 발명에 의하여 제 5 패턴 마스크로 연결 전극 및 애노드 전극을 형성한 것을 도시한 개념도이다.

도 14는 도 13의 F-F 단면을 따라 절단한 단면도이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조 방법에 관한 것으로, 특히, 영상의 표시 품질을 보다 향상시킨 전계발광 디바이스의 박막 트랜지스터, 이를 이용한 전계발광 디바이스 및 이의 제조 방법에 관한 것이다.
- <16> 최근 들어, 디스플레이 장치(display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다.
- <17> 일반적으로 디스플레이 장치는 전기적 신호 형태를 갖는 정보를 광학 이미지 형태로 인간에게 전달하는 장치로, 인간과 전자 기기를 연결하는 인터페이스 역할을 수행한다.
- <18> 이러한 디스플레이 장치에 있어서, 정보가 발광 현상에 의해 표시되는 경우

에는 발광형 표시장치(emissive display device)로 불리며, 반사, 산란, 간섭 현상 등에 의해 광 변조를 표시되는 경우에는 수광형 표시장치(non-emissive display device)로 불리어진다. 발광형 표시 장치로는 음극선관(cathode ray tube; CRT), 플라즈마 디스플레이 패널(plasma display panel; PDP), 발광 다이오드(light emitting diode; LED) 및 유기 전계발광 디스플레이 장치(organic electroluminescent Display device; ELD) 등을 들 수 있다. 또한, 수동형 표시 장치는 액정표시장치(liquid crystal display; LCD), 전기화학 표시장치(electrochemical display; ECD) 및 전기 영동 표시장치(electrophoretic image display; EPID) 등이 해당된다.

- <19> 텔레비전 수신기나 컴퓨터용 모니터 등과 같은 화상표시장치에 사용되는 음극선관(CRT)은 표시 품질 및 경제성 등의 면에서 가장 높은 점유율을 차지하고 있다. 그러나, 무거운 중량, 큰 용적 및 높은 소비 전력 등과 같은 많은 단점을 가지고 있다.
- <20> 그러나, 반도체 기술의 급속한 진보에 의해 각종 전자 장치의 고체화, 저 전압 및 저 전력화와 함께 전자 기기의 소형 및 경량화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판(flat panel) 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.
- <21> 이러한 평판 디스플레이 장치의 하나로서 유기 전계발광 디스플레이 장치가 주목되고 있다. 유기 전계발광 디스플레이 장치는 사용하는 재료에 따라 무기전계발광 디스플레이 장치와 유기전계발광 디스플레이 장치로 크게 나뉘어진다.
- <22> 무기전계발광 디스플레이 장치는 일반적으로 발광부에 높은 전계를 인가하고 전자를 높은 전계 중에서 가속하여 발광 중심으로 충돌시켜 이에 의해 발광 중심을 여기 함으로써 발광하는 소자이다.

- <23> 유기전계발광 디스플레이 장치는 두 개의 전극 사이에 유기 발광층을 형성하고, 2 개의 전극으로부터 각각 전자(electron)와 정공(hole)을 유기 발광층 내로 주입시켜 전자와 정공이 결합에 따른 여기자(exciton)를 생성하고, 이 여기자가 여기상태로부터 기저상태로 떨어질 때 광이 발생하는 원리를 이용한 소자이다.
- <24> 이와 같은 동작원리로 인해 무기전계발광 디스플레이 장치는 100~200V의 높은 구동전압을 필요로 하는 반면, 유기전계발광 디스플레이 장치는 5~20V정도의 낮은 전압으로 구동할 수 있다는 장점 때문에 이에 대한 연구가 더욱 활발하게 진행되고 있다. 또한, 유기전계발광 디스플레이 장치는 넓은 시야각, 고속 응답성, 높은 콘트라스트(high contrast) 등의 우수한 특징을 갖고 있다.
- <25> 유기전계발광 디스플레이 장치는 액티브 매트릭스형 디스플레이 장치와 패시브 매트릭스형 디스플레이 장치에 모두 적용할 수 있다. 액티브 매트릭스형 유기전계발광 디스플레이 장치는 박막 트랜지스터와 같은 스위칭 소자들에 의해 복수개의 화소들에 대응하는 유기전계발광 소자들을 서로 독립적으로 구동시키는 디스플레이 장치이다.
- <26> 종래 유기 전계발광 소자는 순방향 전류를 이용하여 영상을 표시하는 전류 구동소자이기 때문에 종래 유기 전계발광 소자에 이용되는 박막 트랜지스터들은 대부분 아몰퍼스 실리콘 보다 전기적 특성이 우수한 폴리 실리콘으로 반도체층(또는 채널층)을 형성하거나 LDD(Lightly Dopped Deposition) 구조를 채용하고 있다.
- <27> 그러나, 종래 유기 전계발광 소자에 이용되는 박막 트랜지스터들의 반도체층을 폴리 실리콘 또는 LDD 구조로 형성할 경우, 박막 트랜지스터의 구조가 복잡해지고, 제조 공정이 복잡하며, 제조에 소요되는 시간이 길어지고, 구조가 복잡해짐에 따라 불량 발생 빈도가 크게 증가되는 등 다양한 문제점을 갖는다.

<28> 이와 같은 문제점을 극복하기 위해서 최근에는 폴리 실리콘 또는 LDD 구조 대신 유기 전계발광 소자를 낮은 공정온도, 예를 들면, 유리기판의 용융 온도보다 낮은 온도에서 공정이 진행되는 아몰퍼스 실리콘 및 아몰퍼스 실리콘에 도펀트(dopant)를 주입한  $n^+$  아몰퍼스 실리콘을 사용하여 형성하는 기술이 개발되고 있다.

<29> 그러나, 아몰퍼스 실리콘 및  $n^+$  아몰퍼스 실리콘을 이용할 경우,  $n^+$  아몰퍼스 실리콘을 패터닝 하는 과정에서 아몰퍼스 실리콘의 일부가 에치-백(etch-back)된다. 이와 같이 아몰퍼스 실리콘의 일부를 에치-백 하는 것은 도전성인  $n^+$  아몰퍼스 실리콘이 아몰퍼스 실리콘에 남아 있지 못하도록 하기 위함이며, 이와 같은 에치-백 기술은 액정표시장치용 박막 트랜지스터에 주로 사용되고 있다.

<30> 그러나, 유기 전계발광 디스플레이 장치는 전류 구동 소자이기 때문에  $n^+$  아몰퍼스 실리콘을 식각 하는 과정에서 아몰퍼스 실리콘이 조금이라도 에치-백 될 경우, 아몰퍼스 실리콘에서 흐르는 전류량이 왜곡 또는 변경되고, 이로 인해 유기 전계발광 디스플레이 장치로부터 디스플레이 되는 영상의 표시 품질이 크게 저하되는 문제점을 갖는다.

<31> 또한, 에치-백 기술에 의하여  $n^+$  아몰퍼스 실리콘을 식각 할 경우, 식각 균일성이 낮아져 하나의 유기 전계발광 디스플레이 장치에서 국부적으로 영상의 표시 품질이 서로 달라지는 문제점도 함께 갖는다.

**【발명이 이루고자 하는 기술적 과제】**

<32> 따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로써, 본 발명의 제 1 목적은 반도체층에 흐르는 전류량을 안정시켜 영상의 품질을 크게 향상시킨 전계발광 디바이스의 박막 트랜지스터를 제공한다.

<33> 또한, 본 발명의 제 2 목적은 상기 박막 트랜지스터를 갖는 전계발광 디바이스를 제공한다.

<34> 또한, 본 발명의 제 3 목적은 상기 전계발광 디바이스의 제조 방법을 제공한다.

#### 【발명의 구성 및 작용】

<35> 이와 같은 본 발명의 제 1 목적을 구현하기 위해, 본 발명은 제 1 전극, 제 1 전극 상에 배치되어, 제 1 전극을 절연시키는 절연층, 제 1 전극의 위치에 대응하여 절연층 상에 배치되고, 제 1 전극에 인가된 전압에 의하여 전기적 저항이 감소되는 제 1 반도체 패턴, 제 1 반도체 패턴 상에 배치되어, 제 1 반도체 패턴의 표면 손상에 의해 제 1 반도체 패턴을 통해 흐르는 전류량이 왜곡되는 것을 방지하기 위한 식각 저지층, 식각 저지층의 제 1 부분에 접치도록 제 1 반도체 패턴에 전기적으로 연결된 제 2 전극 및 제 1 단부가 식각 저지층의 제 2 부분에 접치도록 제 2 반도체 패턴에 전기적으로 연결 및 제 2 단부가 유기 발광층의 일측에 배치된 애노드 전극에 연결된 제 3 전극을 포함하는 전계발광 디바이스의 박막 트랜지스터를 제공한다.

<36> 또한, 본 발명의 제 2 목적을 구현하기 위해, 본 발명은 제 1 소오스 전극으로 인가된 데이터 신호를 제 1 게이트 전극에 인가된 타이밍 신호에 의하여 제 1 드레인 전극으로 출력하는 제 1 반도체 패턴의 상면에 제 1 반도체 패턴의 손상을 방지하는 제 1 식각 저지 패턴이 배치된 제 1 박막 트랜지스터, 제 1 박막 트랜지스터로부터 출력된 데이터 신호의 레벨에 대응하여 제 2 소오스 전극으로 인가된 제 1 구동전류의 전류량을 제어하여 제 2 드레인 전극으로 제 2 구동전류를 출력하는 제 2 반도체 패턴의 상면에 제 1 반도체 패턴의 식각을 방지하는 제 2 식각 저지 패턴이 배치된 제 2 박막 트랜지스터 및 제 2 구동전류가 인가되는 애노드 전극, 투

명 전극의 상면에 배치된 유기 발광층 및 유기 발광층의 상면에 배치된 캐소드 전극을 포함하는 전계발광 디바이스를 제공한다.

<37> 또한, 본 발명의 제 3 목적을 구현하기 위해, 본 발명은 기판에 형성된 제 1 도전층을 패터닝 하여 제 1 게이트 전극을 갖는 게이트 버스 라인 및 제 2 게이트 전극을 형성하는 단계, 기판의 전면적에 걸쳐 제 1 절연층을 형성하는 단계, 절연층의 전면적에 걸쳐 제 1 반도체층을 형성하는 단계, 제 1 반도체층 중 제 1 및 제 2 게이트 전극들과 대응하는 부분에 각각 제 1 및 제 2 식각 저지 패턴을 형성하는 단계, 기판 상에 제 1 및 제 2 식각 저지 패턴이 덮이도록 제 2 반도체층을 형성하는 단계, 제 2 반도체층의 전면적에 걸쳐 제 2 도전층을 형성하는 단계, 제 2 도전층, 제 2 반도체층 및 제 1 반도체층을 패터닝 하여, 제 1 게이트 전극과 대응하는 곳에 제 1 반도체 패턴, 제 1 반도체 패턴에 연결된 제 1 소오스 전극을 갖는 데이터 버스 라인, 제 1 반도체 패턴에 연결된 제 1 데이터 전극, 제 2 게이트 전극과 대응하는 곳에 제 2 반도체 패턴, 제 2 반도체 패턴에 연결된 제 2 소오스 전극을 갖는 전력 공급 라인 및 제 2 반도체 패턴에 연결된 제 2 드레인 전극을 형성하는 단계, 제 2 드레인 전극에 연결된 유기 발광 소자를 형성하는 단계를 포함하는 전계발광 디바이스의 제조 방법을 제공한다.

<38> 본 발명에 의하면, 유기 전계발광 디바이스에 포함된 박막 트랜지스터의 반도체 패턴이 손상되지 않도록 하여, 반도체 패턴에 흐르는 전류량이 왜곡 또는 변경되는 것을 방지하여 유기 전계발광 디바이스로부터 발생한 영상의 표시 품질을 크게 향상시킨다.

<39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<40> 도 1은 본 발명에 의한 전계발광 디바이스의 박막 트랜지스터를 도시한 개념도이다.

- <41> 도 1을 참조하면, 박막 트랜지스터(100)는 제 1 전극(110), 절연층(120), 반도체 패턴(130), 식각 저지 패턴(etch stop layer;140), 제 2 전극(150) 및 제 3 전극(160)을 포함한다. 본 실시예에서 박막 트랜지스터(100)는 기판(10)의 상면에 형성된다.
- <42> 제 1 전극(110)은 기판(10)의 상면에 형성된다. 제 1 전극(110)은 예를 들면, 알루미늄, 알루미늄 합금, 구리 및 구리 합금 등과 같이 가공성이 뛰어나고, 전기적 저항이 매우 낮은 도전성 박막이다. 본 실시예에서, 제 1 전극(110)에는 반도체 패턴(130)의 전기적 저항을 급격히 감소시키기 위한 문턱 전압(threshold voltage) 이상의 전압이 인가된다.
- <43> 절연층(120)은 제 1 전극(110)의 상면에 배치된다. 본 실시예에서, 절연층(120)은 기판(10)에 형성된 제 1 전극(110)이 덮이도록 전면적에 걸쳐 형성된다. 절연층(120)은 투명하면서 전기적 저항이 높은 산화 실리콘 박막( $\text{SiO}_x$  film), 질화 실리콘 박막( $\text{SiN}_x$  film) 등으로 형성된다.
- <44> 반도체 패턴(130)은 절연층(120)의 상면에 배치된다. 본 실시예에서, 반도체 패턴(130)은 제 1 반도체 패턴(132), 제 2 반도체 패턴(134) 및 제 3 반도체 패턴(136)으로 이루어진다. 제 1 반도체 패턴(132)은 아몰퍼스 실리콘 박막(amorphous silicon film)을 패터닝 하여 형성하며, 제 2 반도체 패턴(134) 및 제 3 반도체 패턴(136)은 아몰퍼스 실리콘 박막에 도전성 불순물인 도펀트(dopant)가 주입된  $n^+$  아몰퍼스 실리콘 박막( $n^+$  amorphous silicon film)을 패터닝 하여 형성된다.
- <45> 구체적으로, 제 1 반도체 패턴(132)은 절연층(120) 중 제 1 전극(110)의 상부에 배치된다. 제 1 반도체 패턴(132)은 제 1 전극(110)의 평면적보다 다소 큰 평면적을 갖는다. 제 1 반도체 패턴(132)은 제 1 전극(110)에 인가된 문턱전압 이상의 전압에 의하여 전기적 저항이 전자의 이동이 가능할 정도로 낮아진다.



- <46> 제 2 반도체 패턴(134) 및 제 3 반도체 패턴(136)은 제 1 반도체 패턴(132)의 상면에 배치된다. 제 2 반도체 패턴(134) 및 제 3 반도체 패턴(136)은 제 1 반도체 패턴(132)의 상면에 상호 소정 간격 이격 되어 있다.
- <47> 식각 저지 패턴(140)은 제 1 반도체 패턴(132)의 상면에 배치된다. 식각 저지 패턴(140)의 제 1 단부(140a)에는 제 2 반도체 패턴(134)의 일부가 오버랩 되고, 식각 저지 패턴(140)의 제 2 단부(140b)에는 제 3 반도체 패턴(136)의 일부가 오버랩 된다. 식각 저지 패턴(140)은 제 2 반도체 패턴(134) 및 제 3 반도체 패턴(136)이 형성되는 도중 제 1 반도체 패턴(132)이 에치-백(etch-back) 되는 것을 방지한다. 따라서, 제 1 반도체 패턴(132)에 흐르는 전류량의 변경 또는 왜곡은 방지된다. 본 실시예에서, 식각 저지 패턴(140)은 질화 실리콘 박막 또는 산화 실리콘 박막이 사용되고, 식각 저지 패턴(140)의 두께는 바람직하게 100Å ~ 2000Å 정도인 것이 바람직하다.
- <48> 제 2 전극(150)은 제 2 반도체 패턴(134)과 전기적으로 연결되고, 제 3 전극(160)은 제 3 반도체 패턴(136)과 전기적으로 연결된다. 바람직하게, 제 2 전극(150)은 제 2 반도체 패턴(134)과 동일한 형상 및 동일한 평면적을 갖고, 제 3 전극(136)은 제 3 반도체 패턴(136)과 동일한 형상 및 동일한 평면적을 갖는다. 제 2 전극(150) 및 제 3 전극(160)은 가공성이 풍부하고, 전기적 저항이 매우 작은 알루미늄 또는 알루미늄 합금으로 형성된다. 본 실시예에서, 제 3 전극(160)은 유기 발광층(180)의 일측에 배치된 애노드 전극(170)에 연결되어, 제 3 전극(160)으로부터 출력된 구동 전류를 애노드 전극(170)에 전달한다.
- <49> 본 실시예에 의하면, 도펀트가 이온 주입된  $n^+$  아몰퍼스 실리콘 박막 및  $n^+$  아몰퍼스 실리콘 박막의 하부에 배치된 아몰퍼스 실리콘 박막의 사이에 식각 저지 패턴을 형성하여  $n^+$  아몰퍼스 실리콘 박막을 패터닝 하는 도중 아몰퍼스 실리콘 박막이 식각 되는 것을 방지하여 아

몰퍼스 실리콘 박막을 통과하는 전류량이 변경되거나 왜곡되는 것을 방지하여 유기 전계발광 디바이스의 영상 품질이 저하되는 것을 방지한다.

<50> 도 2는 본 발명에 의한 전계발광 디바이스를 도시한 개념도이다. 도 3은 도 2의 전계발광 디바이스를 도시한 평면도이고, 도 4는 도 3의 A-A를 따라 절단한 단면도이다.

<51> 도 2 내지 도 4를 참조하면, 전계발광 디바이스(200)는 도 2에 참조부호 10으로 도시된 기판 상에 형성된다. 전계발광 디바이스(200)는 스위칭 트랜지스터(switching transistor, TFT1), 구동 트랜지스터(driving transistor, TFT2), 스토리지 캐패시터(storage capacitance, Cst), 게이트 버스 라인(Gate Bus Line, GBL), 데이터 버스 라인(Data Bus Line, DBL), 전력 공급 라인(Power Supplying Line, PSL) 및 유기발광 소자(organic Electro Luminescence element, EL)를 포함한다.

<52> 게이트 버스 라인(GBL)은 도 2에 도시된 좌표계의 제 1 방향으로 형성된다. 게이트 버스 라인(GBL)은 전기적 저항이 매우 낮은 알루미늄, 알루미늄 합금 등으로 형성된다. 본 실시예에서는 1 개의 게이트 버스 라인(GBL)이 도시되어 있으나, 기판(10)에는 복수개의 게이트 버스 라인(GBL)이 형성된다. 예를 들어, 풀-컬러 디스플레이를 수행하고, 해상도가 1024 × 768인 전계발광 디바이스(200)는 768개의 게이트 버스 라인(GBL)을 갖는다. 각 게이트 버스 라인(GBL)은 제 1 방향으로 뻗고, 복수개가 제 2 방향으로 평행하게 배치된다. 제 2 방향은 제 1 방향에 대하여 실질적으로 수직하다. 한편, 게이트 버스 라인(GBL)은 게이트 전극부(GE)를 더 포함한다. 게이트 전극부(GE)는 게이트 버스 라인(GBL)으로부터는 제 2 방향으로 연장된다. 게이트 전극부(GE)는 풀-컬러 디스플레이를 수행하고 해상도가 1024 × 768인 전계발광 디바이스(200)에서 게이트 버스 라인(GBL)으로부터 1024 × 8 개가 동일한 간격으로 형성된다.

- <53> 데이터 버스 라인(DBL)은 도 2에 도시된 제 2 방향으로 형성된다. 데이터 버스 라인(GBL)은 전기적 저항이 매우 낮은 알루미늄, 알루미늄 합금 등으로 형성된다. 본 실시예에서는 1 개의 데이터 버스 라인(DBL)이 도시되어 있으나, 기판(10)에는 복수개의 데이터 버스 라인(GBL)이 형성된다. 예를 들어, 풀-컬러 디스플레이를 수행하고, 해상도가 1024 × 68인 전계발광 디바이스(200)는 1023 × 3개의 데이터 버스 라인(DBL)을 갖는다. 각 데이터 버스 라인(DBL)은 제 2 방향으로 뻗고, 복수개가 제 1 방향으로 평행하게 배치된다. 한편, 데이터 버스 라인(DBL)은 소오스 전극부(SE)를 더 포함한다. 소오스 전극부(SE)는 데이터 버스 라인(DBL)으로부터 제 1 방향으로 연장된다. 소오스 전극부(SE)는 풀-컬러 디스플레이를 수행하고 해상도가 1024 × 68인 전계발광 디바이스에서 데이터 버스 라인(DBL)으로부터 768 개가 동일한 간격으로 형성된다.
- <54> 전력 공급 라인(PSL)은 각 데이터 버스 라인(DBL)과 인접한 곳에 형성된다. 전력 공급 라인(PSL)은 데이터 버스 라인(DBL)과 동일하게 제 2 방향으로 연장된다. 전력 공급 라인(PSL)으로는 직류 신호( $V_{dd}$ )가 인가된다.
- <55> 스위칭 트랜지스터(TFT1)와 구동 트랜지스터(TFT2)는 게이트 버스 라인(GBL), 데이터 버스 라인(DBL) 및 전력 공급 라인(PSL)에 의하여 둘러싸인 화소 영역(210)마다 형성된다.
- <56> 스위칭 트랜지스터(TFT1)는 제 1 게이트 전극(G1), 제 1 반도체 패턴(C1), 제 1 식각 저지 패턴(first etch stop pattern; ES1), 제 1 소오스 전극(S1) 및 제 1 드레인 전극(D1)으로 이루어진다.
- <57> 제 1 게이트 전극(G1)은 게이트 버스 라인(GBL)으로부터 연장된 각 게이트 전극부(GE)와 전기적으로 연결된다.

<58> 제 1 반도체 패턴(C1)은 제 1 게이트 전극(G1)의 상면에 배치된다. 도 4를 참조하면, 제 1 반도체 패턴(C1)은 절연물질로 이루어진 절연층(220)에 의하여 제 1 게이트 전극(G1)과 절연된다. 본 실시예에서, 제 1 반도체 패턴(C1)은 제 1 아몰퍼스 실리콘 패턴(first Amorphous Silicon Pattern, ASP1), 제 1  $n^+$  아몰퍼스 실리콘 패턴(first  $n^+$  Amorphous Silicon Pattern, nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(second  $n^+$  Amorphous Silicon Pattern, nASP2)으로 이루어진다. 본 실시예에서, 도 2에 도시된 제 1 반도체 패턴(C1)은 아몰퍼스 실리콘 박막을 패터닝 한 아몰퍼스 실리콘 패턴이다. 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)은 제 1 아몰퍼스 실리콘 패턴(ASP1)의 상면에 상호 소정 간격 이격되어 배치된다. 본 실시예에서 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)은 도전성 불순물인 도펀트(dopant)가 주입된  $n^+$  아몰퍼스 실리콘 박막을 패터닝 하여 형성된다.

<59> 제 1 식각 저지 패턴(ES1)은 제 1 아몰퍼스 실리콘 패턴(ASP1), 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)의 사이에 개재된다. 제 1 식각 저지 패턴(ES1)은 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)이 형성되는 과정에서 제 1 아몰퍼스 실리콘 패턴(ASP1)이 식각 또는 손상되지 않도록 한다. 결과적으로 제 1 아몰퍼스 실리콘 패턴(ASP1)에 흐르는 전류량이 변경 또는 왜곡되는 것을 방지한다.

<60> 제 1 소오스 전극(S1)은 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1)의 상면에 배치되며, 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1)에 전기적으로 연결된다. 제 1 소오스 전극(S1)의 일부는 데이터 버스 라인(DBL)으로부터 연장된 소오스 전극부(SE)와 전기적으로 연결된다.

- <61> 제 1 드레인 전극(D1)은 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)의 상면에 배치되며, 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)에 전기적으로 연결된다.
- <62> 한편, 도 2에 도시된 바와 같이 구동 트랜지스터(TFT2)는 화소영역(210)에 배치된다. 구동 트랜지스터(TFT2)는 제 2 게이트 전극(G2), 제 2 반도체 패턴(C2), 제 2 식각 저지 패턴(first etch stop pattern, ES2), 제 2 소오스 전극(S2) 및 제 2 드레인 전극(D2)으로 이루어진다.
- <63> 제 2 게이트 전극(G2)은 스위칭 트랜지스터(TFT1)의 제 1 드레인 전극(D1)에 전기적으로 연결된다.
- <64> 제 2 반도체 패턴(C2)은 제 2 게이트 전극(G2)의 상면에 배치된다. 바람직하게 제 2 반도체 패턴(C2)은 절연물질로 이루어진 절연층(220)에 의하여 제 2 게이트 전극(G2)과 절연된다. 본 실시예에서, 제 2 반도체 패턴(C2)은 제 2 아몰퍼스 실리콘 패턴(ASP2), 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)으로 이루어진다. 본 실시예에서, 제 2 아몰퍼스 실리콘 패턴(ASP2)은 아몰퍼스 실리콘 박막을 패터닝 하여 형성된다. 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)은 제 2 아몰퍼스 실리콘 패턴(ASP2)의 상면에 상호 소정 간격 이격 되어 배치된다. 본 실시예에서 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)은 도전성 불순물인 도펀트(dopant)가 주입된  $n^+$  아몰퍼스 실리콘 박막을 패터닝 하여 형성된다.
- <65> 제 2 식각 저지 패턴(ES2)은 제 2 아몰퍼스 실리콘 패턴(ASP2), 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)의 사이에 개재된다. 제 2 식각 저지 패턴(ES2)은 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)이

형성되는 과정에서 제 2 아몰퍼스 실리콘 패턴(ASP2)이 식각 또는 손상되지 않도록 하여, 결과적으로 제 2 아몰퍼스 실리콘 패턴(ASP2)에 흐르는 전류량이 변경 또는 왜곡되는 것을 방지한다.

- <66> 제 2 소오스 전극(S2)은 제 3 n<sup>+</sup> 아몰퍼스 실리콘 패턴(nASP3)의 상면에 배치되며, 전력 공급 라인(PSL)에 전기적으로 연결된다.
- <67> 제 2 드레인 전극(D2)은 제 4 n<sup>+</sup> 아몰퍼스 실리콘 패턴(nASP4)의 상면에 배치되며, 유기 발광 소자(300)에 연결된다.
- <68> 스토리지 커패시턴스(storage capacitance, Cst)는 제 2 게이트 전극(G2)의 일부인 제 1 커패시터 전극부(Cst1), 전력 공급 라인(PSL)의 일부인 제 2 커패시터 전극부(Cst2) 및 제 1 커패시터 전극부(Cst1)와 제 2 커패시터 전극부(Cst2)의 사이에 배치된 유전층에 의하여 이루어진다. 유전층은 절연층(220)으로 이루어진다. 스토리지 커패시턴스(Cst)는 한 프레임의 시간 동안 제 2 게이트 전극부(G2)가 턴-온 상태를 유지할 수 있도록 한다.
- <69> 유기발광 소자(300)는 연결 전극(305), 애노드 전극(310), 유기 발광층(320) 및 캐소드 전극(330)으로 이루어진다. 미설명 참조부호 340은 제 1 층간절연막이고, 350은 제 2 층간 절연막이다.
- <70> 연결 전극(305)은 스위칭 트랜지스터(TFT1)의 제 1 드레인 전극(D1) 및 제 2 게이트 전극(G2)을 연결한다. 연결 전극(305)은 애노드 전극(310)을 이루는 물질과 동일한 물질로 형성하는 것이 바람직하다.
- <71> 애노드 전극(310)은 구동 트랜지스터(TFT2)의 제 2 드레인 전극(D2)에 연결되어 전력 공급 라인(PSL)으로부터 공급된 구동 전류가 인가된다. 애노드 전극(310)은 투명하면서 도전성인

산화 주석 인듐(Indium Tin Oxide) 또는 산화 아연 인듐(Indium Zinc Oxide) 등으로 이루어진다.

<72> 유기 발광층(320)은 레드 유기 발광 물질, 그린 유기 발광 물질 및 블루 유기 발광 물질 중 어느 하나로 이루어진다. 각 유기 발광층(320)은 애노드 전극(310) 및 캐소드 전극(330)의 사이에 배치된다.

<73> 캐소드 전극(330)은 애노드 전극(310)과 마주보며, 바람직하게 저항이 매우 낮은 알루미늄 및 알루미늄 합금 등과 같은 금속 박막으로 이루어진다.

<74> 본 실시예에 의하면, 화소영역 마다 배치된 박막 트랜지스터의 아몰퍼스 실리콘 패턴이 아몰퍼스 실리콘 패턴의 상면에 배치된  $n^+$  아몰퍼스 실리콘 패턴을 형성하는 도중 식각 또는 손상되는 것을 방지하여 전계발광 디바이스로부터 발생하는 영상의 표시품질을 보다 향상시킬 수 있다.

<75> 이하, 본 발명에 의한 전계발광 디바이스를 제조하는 방법에 대하여 구체적으로 설명하기로 한다.

<76> 도 5는 본 발명에 의하여 제 1 마스크로 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 것을 도시한 개념도이다. 도 6은 도 5의 B-B를 따라 절단한 단면도이다.

<77> 도 5 및 도 6을 참조하면, 기판(10)에는 전면적에 걸쳐 게이트 금속 박막이 화학기상증착 또는 스퍼터링 등의 방법에 의하여 증착된다. 게이트 금속 박막의 표면에는 포토레지스트 박막이 도포된다. 포토레지스트 박막은 기판(10)에 얼라인된 제 1 패턴 마스크에 의하여 노광된다. 제 1 패턴 마스크에 의하여 게이트 금속의 표면에는 포토레지스트 패턴이 형성된다. 게이트 금속 박막은 포토레지스트 패턴을 마스크 삼아 식각되고, 포토레지스트 패턴은 현상되어

제거된다. 따라서, 게이트 금속 박막으로부터 기판(10)에는 게이트 전극부(GE)가 형성된 게이트 버스 라인(GBL), 스토리지 커패시턴스(Cst)의 제 1 커패시터 전극부(Cst1)를 갖는 제 2 게이트 전극(G2)이 동시에 형성된다.

<78> 첫 번째 패턴 마스크에 의하여 형성된 게이트 버스 라인(GBL)은 도 5에 도시된 좌표계의 제 1 방향을 따라 기판(10) 상에 형성된다. 게이트 버스 라인(GBL)으로부터는 제 2 방향으로 게이트 전극부(GE)가 형성된다. 이때, 게이트 전극부(GE)의 일부는 제 1 게이트 전극(G1)이다. 제 2 게이트 전극(G2)은 게이트 전극부(GE)와 소정 거리 이격된 곳에 형성된다. 제 2 게이트 전극(G2)은 제 1 방향으로 형성되고, 제 2 게이트 전극(G2)으로부터는 제 1 커패시터 전극부(Cst1)가 연장된다. 제 1 커패시터 전극부(Cst1)는 제 2 방향으로 게이트 버스 라인(GBL)과 이격 되도록 연장된다.

<79> 도 7은 본 발명에 의하여 제 2 마스크로 제 1, 제 2 식각 저지층을 형성하는 것을 도시한 개념도이다. 도 8은 도 7의 C-C를 따라 절단한 단면도이다.

<80> 도 7 및 도 8을 참조하면, 기판(10)에는 전면적에 걸쳐 절연층(220)이 형성된다. 절연층(220)은 게이트 전극부(GE)가 형성된 게이트 버스 라인(GBL), 제 2 게이트 전극(G2) 및 제 1 커패시터 전극부(Cst1)를 모두 덮는다. 도 8을 참조하면, 절연층(220)의 상면에는 화학기상증착 등의 방법에 의하여 제 1 반도체층(230)이 형성된다. 본 실시예에서, 제 1 반도체층(230)은 아몰퍼스 실리콘 박막이다. 절연층(220)의 전면적에 걸쳐 형성된 제 1 반도체층(230)에는 식각 저지층이 형성된다. 식각 저지층은 제 1 반도체층(230)의 상면에 전면적에 걸쳐 형성된다. 이어서, 식각 저지층(230)의 상면에는 스핀 코팅, 슬릿 코팅 등의 방법에 의하여 포토레지스트 박막이 형성된다. 이어서, 제 2 패턴 마스크는 기판(10)에 얼라인 되고, 포토레지스트 박막은 제 2 패턴 마스크에 의하여 국부적으로 노광 된다. 제 2 패턴 마스크에 의하여 식각



저지층의 상면에 형성된 포토레지스트 박막은 패터닝 되어, 식각 저지층에는 포토레지스트 패턴이 형성된다. 식각 저지층은 포토레지스트 패턴에 의하여 가려지지 않는 부분은 모두 식각 되어 제거된다. 따라서, 제 1 반도체층(230)의 상면에는 제 1 식각 저지 패턴(ES1) 및 제 2 식각 저지 패턴(ES2)이 형성된다. 제 1 식각 저지 패턴(ES1)은 절연층(220) 중 제 1 게이트 전극(G1)의 상면에 국부적으로 형성되고, 제 2 식각 저지 패턴(ES2)은 제 2 게이트 전극(G2)의 상면에 국부적으로 형성된다.

<81> 도 9는 본 발명에 의하여 제 3 마스크로 제 1, 제 2 소오스 전극 및 제 1, 제 2 드레인 전극을 형성한 것을 도시한 개념도이다. 도 10은 도 9의 D-D 단면을 따라 절단한 단면도이다.

<82> 도 9 및 도 10을 참조하면, 제 1 식각 저지 패턴(ES1) 및 제 2 식각 저지 패턴(ES2)이 모두 덮이도록 도 8에 도시된 제 1 반도체층(230)의 상면에는 화학기상증착 등의 방법에 의하여 제 2 반도체층이 형성된다. 제 2 반도체층의 상면에는 화학기상증착 또는 스퍼터링 방법에 의하여 소오스/드레인 금속 박막이 형성된다. 소오스/드레인 금속 박막의 상면에는 스펀 코팅 방법 또는 슬릿 코팅 방법에 의하여 포토레지스트 박막이 도포된다. 포토레지스트 박막이 형성된 기판(10)에는 제 3 패턴 마스크가 얼라인 된다. 제 3 패턴 마스크에 의하여 포토레지스트 박막에는 노광이 수행된다. 따라서, 소오스/드레인 금속 박막의 상면에는 포토레지스트 패턴이 형성된다. 포토레지스트 패턴 중 제 1 식각 저지 패턴(ES1) 및 제 2 식각 저지 패턴(ES2)의 중앙에 대응하는 곳은 다른 곳보다 포토레지스트 패턴의 높이가 낮게 형성된다. 포토레지스트 패턴의 높이를 서로 다르게 하기 위해서 제 3 패턴 마스크 중 제 1 식각 저지 패턴(ES1) 및 제 2 식각 저지 패턴(ES2)의 중앙 부분은 슬릿 노광 된다. 이어서, 소오스/드레인 금속 박막은 포토레지스트 패턴을 마스크 삼아 패터닝 된다. 소오스/드레인 금속 박막의 패터닝에 의하여, 기판(10)에는 제 1 소오스 전극(S1)이 형성된 데이터 버스 라인(DBL), 제 1 드레인 전극(D1),

제 2 소오스 전극부(S2)가 형성된 전력 공급 라인(PSL) 및 제 2 드레인 전극(D2)이 동시에 형성된다. 이어서, 제 1 소오스 전극(S1)이 형성된 데이터 버스 라인(DBL), 제 1 드레인 전극(D1), 제 2 소오스 전극(D2)이 형성된 전력 공급 라인(PSL), 제 2 드레인 전극(D2)을 마스크 삼아 제 2 반도체층 및 제 1 반도체층(230)이 함께 패터닝 된다. 제 2 반도체층은 제 1 소오스 전극(S1)이 형성된 데이터 버스 라인(DBL), 제 1 드레인 전극(D1), 제 2 소오스 전극(S2)이 형성된 전력 공급 라인(PSL) 및 제 2 드레인 전극(D2)들의 형상과 동일하게 패터닝 된다.

따라서, 제 1 소오스 전극(S1)의 하부에는 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1)이 형성되고, 제 1 드레인 전극(D1)의 하부에는 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)이 형성된다. 한편, 제 2 소오스 전극(S2)의 하부에는 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3)이 형성되고, 제 2 드레인 전극(D2)의 하부에는 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)이 형성된다. 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)은 상호 소정간격 이격 되며, 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)도 상호 소정간격 이격 되어 형성된다.

<83> 제 1 반도체층은 제 1 소오스 전극(S1)이 형성된 데이터 버스 라인(DBL), 제 1 드레인 전극(D1), 제 2 소오스 전극(S2)이 형성된 전력 공급 라인(PSL) 및 제 2 드레인 전극(D2)들이 마스크 역할을 함으로 이들의 형상과 동일하게 패터닝 된다.

따라서, 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)의 밑면에는 제 1 아몰퍼스 실리콘 패턴(ASP1)이 형성되고, 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)의 밑면에는 제 2 아몰퍼스 실리콘 패턴(ASP2)이 형성된다. 이때, 제 1 아몰퍼스 실리콘 패턴(ASP1)은 제 1  $n^+$  아몰퍼스 실리콘 패턴(nASP1), 제 1 식각 저지 패턴(ES1) 및 제 2  $n^+$  아몰퍼스 실리콘 패턴(nASP2)에 의하여 중앙 부분의 식각이 방지된다. 제 2 아몰퍼스 실리콘 패턴(ASP2)도 제 3  $n^+$  아몰퍼스 실리콘 패턴(nASP3), 제 2 식각 저지 패턴(ES2) 및 제 4  $n^+$  아몰퍼스 실리콘 패턴(nASP4)에 의하여 중앙 부분의 식각이 방지된다.

<84> 도 11은 본 발명에 의하여 제 4 마스크를 사용하여 제 1 드레인 전극 및 제 2 드레인 전극에 콘택홀을 형성한 것을 도시한 개념도이다. 도 12는 도 10의 E-E 단면을 따라 절단한 단면도이다.

<85> 도 11 및 도 12를 참조하면, 기판(10)에는 화학기상증착 방법 등에 의하여 전면적에 걸쳐 제 1 층간절연막(240)이 형성된다. 제 1 층간절연막(240)의 상면에는 스핀코팅 또는 슬릿코팅 등의 방법에 의해 포토레지스트 박막이 형성된다. 제 4 패턴 마스크에 의하여 포토레지스트 박막은 패터닝 되어 기판(10)에는 포토레지스트 패턴이 형성된다. 포토레지스트 패턴에 의하여 제 1 층간절연막(240)은 식각 된다. 제 1 층간 절연막(240)에는 제 1 드레인 전극(D1)을 노출시키는 제 1 콘택홀(first contact hole, CT1), 2 게이트 전극(G2)의 일부를 노출시키는 제 2 콘택홀(second contact hole, CT2) 및 제 2 드레인 전극(D2)의 일부를 노출시키는 제 3 콘택홀(third contact hole, CT3)이 형성된다.

<86> 도 13은 본 발명에 의하여 제 5 패턴 마스크로 연결 전극 및 애노드 전극을 형성한 것을 도시한 개념도이다. 도 14는 도 13의 F-F 단면을 따라 절단한 단면도이다.

- <87> 도 13 및 도 14를 참조하면, 패터닝 된 제 1 층간절연막(240)의 상면에는 전면적에 걸쳐 투명하면서 전기적 저항이 매우 낮은 도전성 애노드 박막이 형성된다. 애노드 박막의 표면에는 스피코팅 또는 슬릿 코팅 방법에 의하여 포토레지스트 박막이 도포되고, 제 5 패턴 마스크는 기판(10)에 얼라인 된다. 포토레지스트 박막은 제 5 패턴 마스크를 통과한 광에 의하여 노광되어 포토레지스트 박막은 패터닝 된다. 따라서, 애노드 박막의 상면에는 포토레지스트 패턴이 형성된다. 애노드 박막 중 포토레지스트 패턴에 의하여 가려지지 않는 부분은 모두 식각되어 애노드 전극(310) 및 연결 전극(305)이 형성된다. 애노드 전극(310)은 제 3 콘택홀(CT3)을 매개로 제 2 드레인 전극(D2)에 연결되고, 연결 전극(305)은 제 1 콘택홀(CT1)을 매개로 제 1 드레인 전극(D1) 및 제 2 콘택홀(CT2)을 매개로 제 2 게이트 전극(G2)에 전기적으로 연결된다.
- <88> 도 3 또는 도 4를 다시 참조하면, 제 1 층간절연막(340)의 상면에는 제 2 층간절연막(350)이 형성되고, 제 2 층간절연막(350)의 상면에는 스피 코팅 또는 슬릿 코팅 방법에 의하여 포토레지스트 박막이 형성된다. 제 6 패턴 마스크가 기판(10)에 얼라인 된 상태에서 제 6 패턴 마스크에 광이 주사되어 포토레지스트 박막은 패터닝 되어 제 2 층간절연막(350)의 상면에는 포토레지스트 패턴이 형성된다.
- <89> 포토레지스트 패턴에 의하여 제 2 층간 절연막(350)은 패터닝 되어 제 2 층간절연막(350)에는 애노드 전극(310)이 노출되도록 개구가 형성된다.
- <90> 애노드 전극(310)의 상면에는 레드 유기 발광층, 그린 유기 발광층 및 블루 유기 발광층으로 이루어진 유기 발광층이 형성되고, 유기 발광층(320)의 상면에는 유기 발광층(320)을 덮고 있는 금속 박막을 패터닝 하여 형성한 캐소드 전극(330)이 형성된다.
- <91> 캐소드 전극(330)의 뒷면에는 유기 발광층(320)을 산소 또는 수분으로부터 보호하기 위한 밀봉 캡 등을 더 형성하는 것이 바람직하다.

**【발명의 효과】**

- <92>       이상에서 상세하게 설명한 바에 의하면, 유기 발광층에 인가되는 구동 전류를 제어하는 박막 트랜지스터의 반도체층의 손상에 따라 구동 전류의 변경 및 왜곡에 따른 영상의 품질 저하를 방지하는 효과를 갖는다.
- <93>       앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

제 1 전극;

상기 제 1 전극 상에 배치되어, 상기 제 1 전극을 절연시키는 절연층;

상기 제 1 전극의 위치에 대응하여 상기 절연층 상에 배치되고, 상기 제 1 전극에 인가된 전압에 의하여 전기적 저항이 감소되는 제 1 반도체 패턴;

상기 제 1 반도체 패턴 상에 배치되어, 상기 제 1 반도체 패턴의 표면 손상에 의해 상기 제 1 반도체 패턴을 통해 흐르는 전류량이 왜곡되는 것을 방지하기 위한 식각 저지층;

상기 식각 저지층의 제 1 부분에 겹치도록 상기 제 1 반도체 패턴에 전기적으로 연결된 제 2 전극; 및

제 1 단부가 상기 식각 저지층의 제 2 부분에 겹치도록 상기 제 2 반도체 패턴에 전기적으로 연결 및 제 2 단부가 유기 발광층의 일측에 배치된 애노드 전극에 연결된 제 3 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터.

**【청구항 2】**

제 1 항에 있어서, 상기 식각 저지층은 질화 실리콘막( $\text{SiN}_x$  film) 또는 산화 실리콘막( $\text{SiO}_2$  film)인 것을 특징으로 하는 전계발광 디바이스의 박막 트랜지스터.

**【청구항 3】**

제 2 항에 있어서, 상기 식각 저지층의 두께는  $100\text{\AA} \sim 2000\text{\AA}$ 인 것을 특징으로 하는 전계발광 디바이스의 박막 트랜지스터.

## 【청구항 4】

제 1 항에 있어서, 상기 제 2 전극 및 상기 제 1 반도체 패턴의 사이에는 도펀트가 주입된 제 2 반도체 패턴 및 상기 제 3 전극 및 상기 제 1 반도체 패턴의 사이에는 상기 도펀트가 주입된 제 3 반도체 패턴이 배치된 것을 특징으로 하는 전계발광 디바이스의 박막 트랜지스터.

## 【청구항 5】

제 4 항에 있어서, 상기 제 1 반도체 패턴은 아몰퍼스 실리콘 박막이고, 제 2 반도체 패턴 및 제 3 반도체 패턴은 상기 도펀트가 이온 주입된  $n^+$  아몰퍼스 실리콘 박막인 것을 특징으로 하는 전계발광 디바이스의 박막 트랜지스터.

## 【청구항 6】

제 1 소오스 전극으로 인가된 데이터 신호를 제 1 게이트 전극에 인가된 타이밍 신호에 의하여 제 1 드레인 전극으로 출력하는 제 1 반도체 패턴의 상면에 상기 제 1 반도체 패턴의 손상을 방지하는 제 1 식각 저지 패턴이 배치된 제 1 박막 트랜지스터;

상기 제 1 박막 트랜지스터로부터 출력된 상기 데이터 신호의 레벨에 대응하여 제 2 소오스 전극으로 인가된 제 1 구동전류의 전류량을 제어하여 제 2 드레인 전극으로 제 2 구동전류를 출력하는 제 2 반도체 패턴의 상면에 상기 제 1 반도체 패턴의 식각을 방지하는 제 2 식각 저지 패턴이 배치된 제 2 박막 트랜지스터; 및

상기 제 2 구동전류가 인가되는 애노드 전극, 상기 투명 전극의 상면에 배치된 유기 발광층 및 상기 유기 발광층의 상면에 배치된 캐소드 전극을 포함하는 전계발광 디바이스.

**【청구항 7】**

제 6 항에 있어서, 상기 제 1 게이트 전극은 게이트 버스 라인에 연결되고, 제 1 소오스 전극은 상기 데이터 버스 라인에 연결되고, 상기 제 2 게이트 전극은 상기 제 1 드레인 전극에 연결되고, 상기 제 2 소오스 전극은 상기 제 1 구동전류를 제공하는 전력 공급 라인에 연결된 것을 특징으로 하는 전계발광 디바이스.

**【청구항 8】**

제 7 항에 있어서, 상기 제 1 드레인 전극 및 상기 전력 공급 라인에는 지정된 시간 동안 상기 제 2 게이트 전극으로 상기 데이터 신호를 인가하는 스토리지 커패시턴스가 형성된 것을 특징으로 하는 전계발광 디바이스.

**【청구항 9】**

제 6 항에 있어서, 상기 제 1 및 제 2 식각 저지층은 질화 실리콘막( $\text{SiN}_x$  film) 또는 산화 실리콘막( $\text{SiO}_2$  film)이며,  $100\text{\AA} \sim 2000\text{\AA}$ 의 두께를 갖는 것을 특징으로 하는 전계발광 디바이스.

**【청구항 10】**

제 6 항에 있어서, 상기 제 1 반도체 패턴의 상면에는 제 1 부분이 상기 제 1 식각 저지층에 겹쳐진 제 1  $n^+$  아몰퍼스 실리콘 패턴 및 상기 제 1 부분과 이격된 제 2 부분이 상기 제 2 식각 저지 패턴에 겹쳐진 제 2  $n^+$  아몰퍼스 실리콘 패턴을 포함하는 것을 특징으로 하는 전계발광 디바이스.



## 【청구항 11】

제 6 항에 있어서, 상기 제 2 반도체 패턴의 상면에는 제 1 부분이 상기 제 2 식각 저지층에 겹쳐진 제 3  $n^+$  아몰퍼스 실리콘 패턴 및 상기 제 1 부분과 이격된 제 2 부분이 상기 제 3 식각 저지 패턴에 겹쳐진 제 4  $n^+$  아몰퍼스 실리콘 패턴을 포함하는 것을 특징으로 하는 전계발광 디바이스.

## 【청구항 12】

기판에 형성된 제 1 도전층을 패터닝 하여 제 1 게이트 전극을 갖는 게이트 버스 라인 및 제 2 게이트 전극을 형성하는 단계;

상기 기판의 전면적에 걸쳐 제 1 절연층을 형성하는 단계;

상기 절연층의 전면적에 걸쳐 제 1 반도체층을 형성하는 단계;

상기 제 1 반도체층 중 상기 제 1 및 제 2 게이트 전극들과 대응하는 부분에 각각 제 1 및 제 2 식각 저지 패턴을 형성하는 단계;

상기 기판 상에 상기 제 1 및 제 2 식각 저지 패턴이 덮이도록 제 2 반도체층을 형성하는 단계;

상기 제 2 반도체층의 전면적에 걸쳐 제 2 도전층을 형성하는 단계;

상기 제 2 도전층, 상기 제 2 반도체층 및 상기 제 1 반도체층을 패터닝 하여, 상기 제 1 게이트 전극과 대응하는 곳에 제 1 반도체 패턴, 상기 제 1 반도체 패턴에 연결된 제 1 소오스 전극을 갖는 데이터 버스 라인, 상기 제 1 반도체 패턴에 연결된 제 1 데이터 전극, 제 2 게이트 전극과 대응하는 곳에 제 2 반도체 패턴, 상기 제 2 반도체 패턴에 연결된 제 2 소오스

전극을 갖는 전력 공급 라인 및 상기 제 2 반도체 패턴에 연결된 제 2 드레인 전극을 형성하는 단계; 및

상기 제 2 드레인 전극에 연결된 유기 발광 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 전계발광 디바이스의 제조 방법.

【청구항 13】

제 12 항에 있어서, 상기 제 2 게이트 전극을 형성하는 단계에서 상기 제 2 게이트 전극에는 스토리지 커패시터가 형성되는 것을 특징으로 하는 전계발광 디바이스의 제조 방법.

【청구항 14】

제 12 항에 있어서, 상기 제 2 드레인 전극을 형성하는 단계 및 상기 유기 발광 소자를 형성하는 단계 사이에는 상기 제 1 드레인 전극의 일부를 노출시키는 제 1 콘택홀 및 상기 제 2 게이트 전극의 일부를 노출시키는 제 2 콘택홀, 상기 제 2 드레인 전극의 일부를 노출시키는 제 3 콘택홀을 포함하는 제 2 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계발광 디바이스의 제조 방법.

【청구항 15】

제 12 항에 있어서, 상기 유기 발광 소자를 형성하는 단계는 상기 기판에 형성된 제 3 도전층을 패터닝 하여 상기 제 1 드레인 전극 및 상기 제 2 게이트 전극을 연결하는 연결 배선 및 상기 제 2 드레인 전극에 연결된 애노드 전극을 형성하는 단계;

상기 애노드 전극의 상면에 유기 발광층을 형성하는 단계; 및

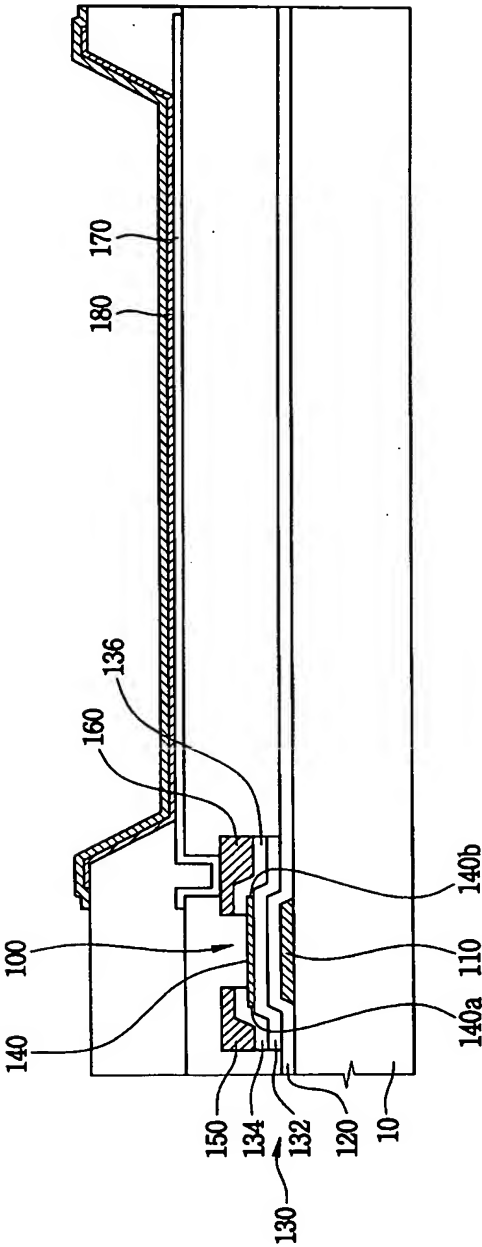
상기 애노드 전극의 상면에 캐소드 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 전계발광 디바이스의 제조 방법.

**【청구항 16】**

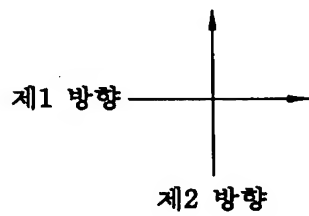
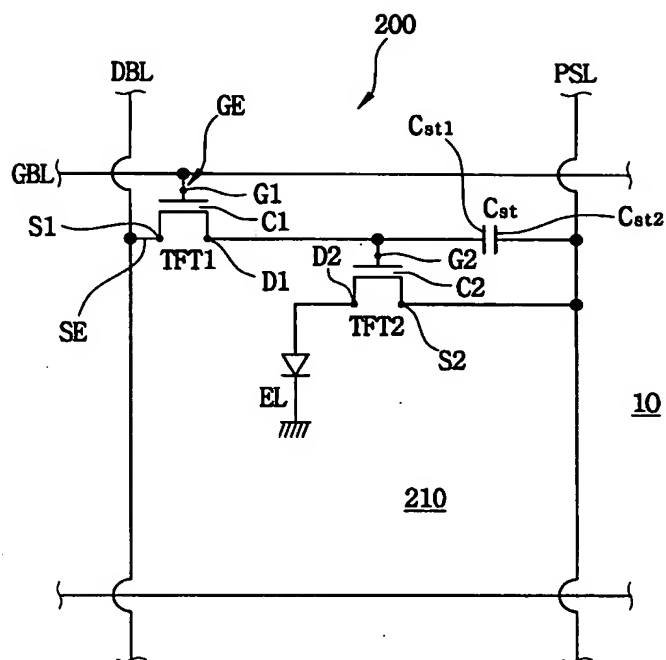
제 15 항에 있어서, 상기 애노드 전극을 형성하는 단계 및 상기 유기 발광층을 형성하는 단계 사이에는 상기 애노드 전극의 일부를 개구시키는 제 4 콘택홀 및 상기 유기 발광층과 대응하는 부분이 개구된 제 3 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계발광 디바이스의 제조 방법.

【도면】

【도 1】

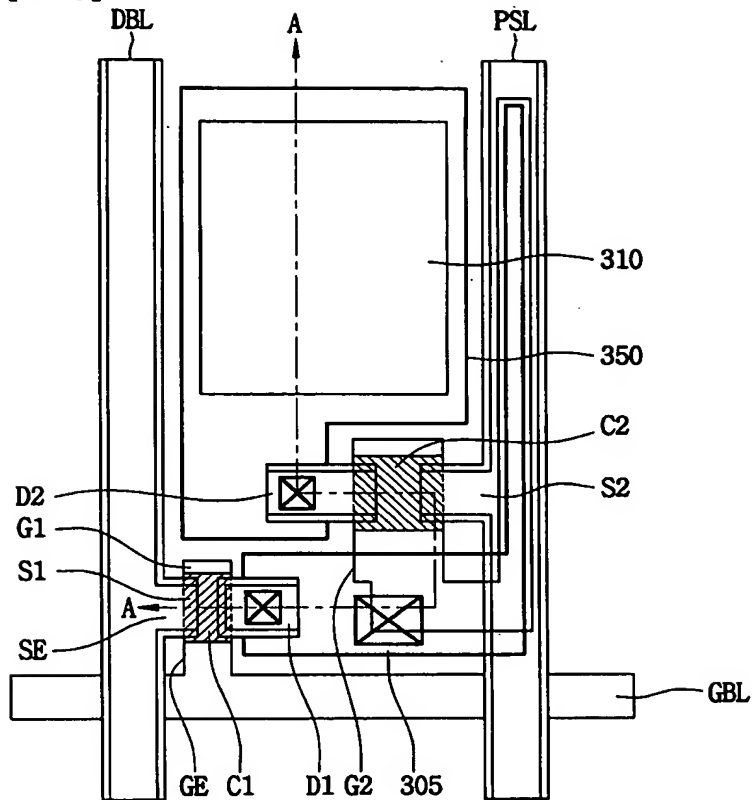


【도 2】

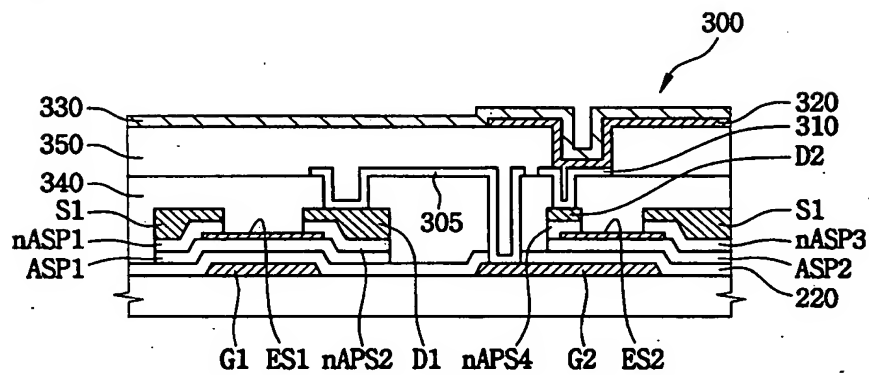




【도 3】



【도 4】

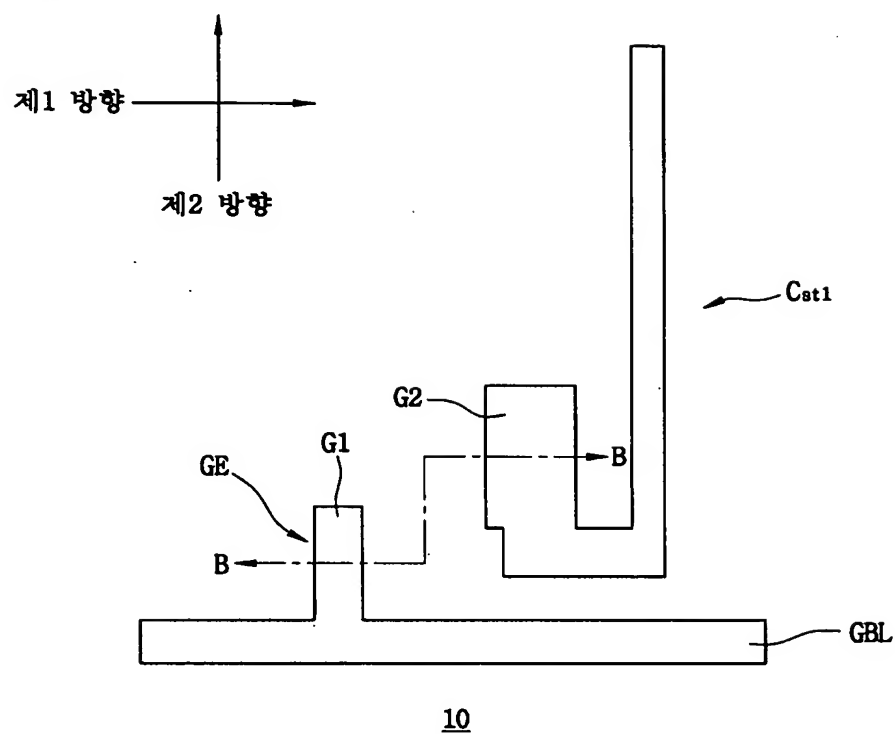




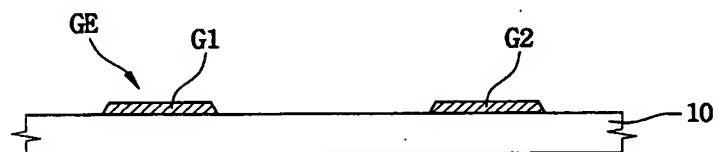
1020030049400

출력 일자: 2003/12/18

【도 5】



【도 6】

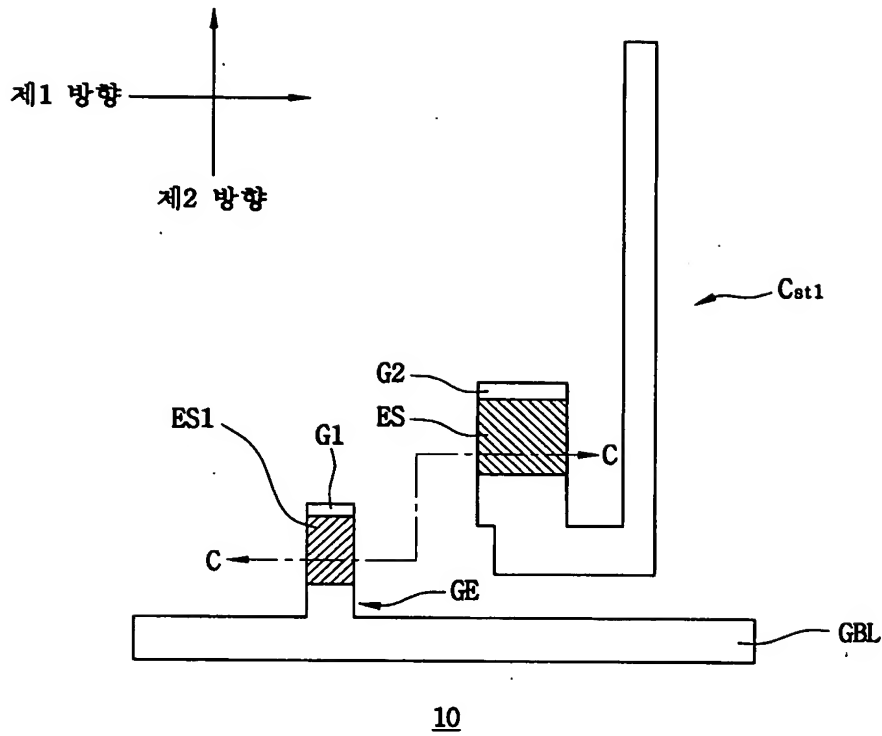




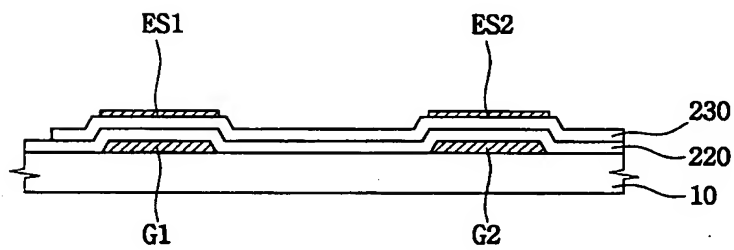
1020030049400

출력 일자: 2003/12/18

【도 7】



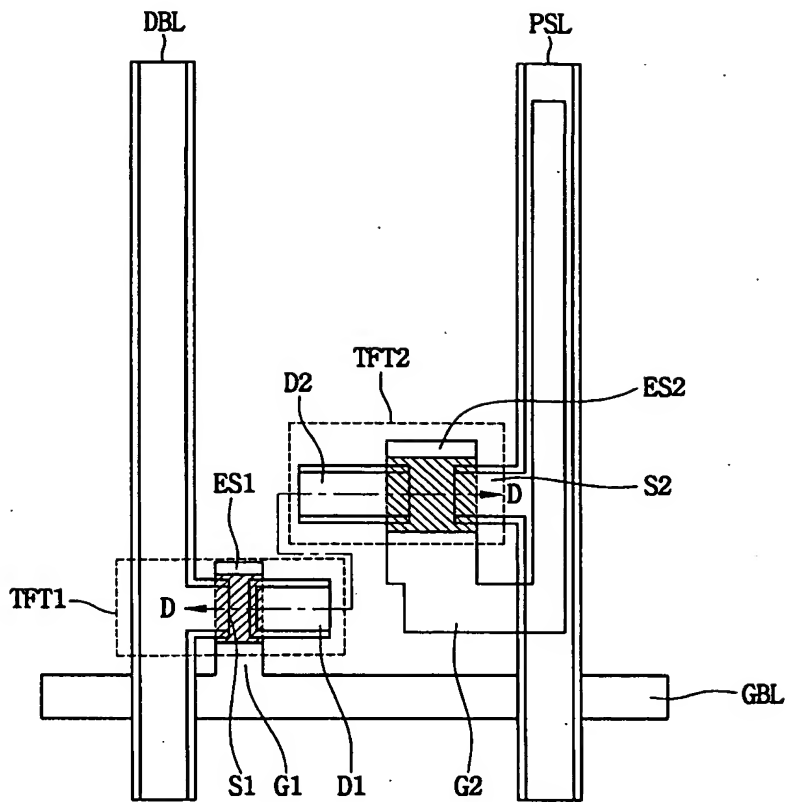
【도 8】





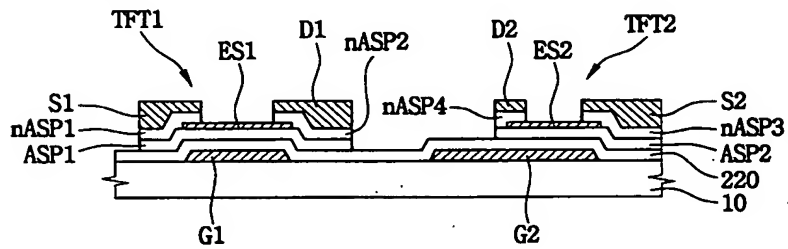


【도 9】



10

【도 10】

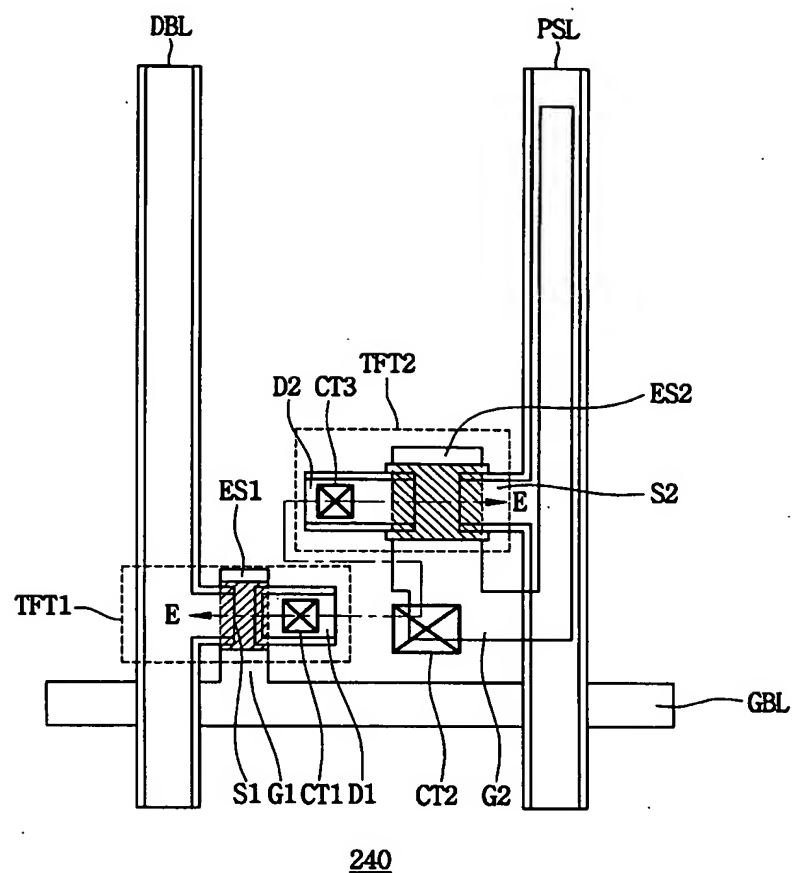




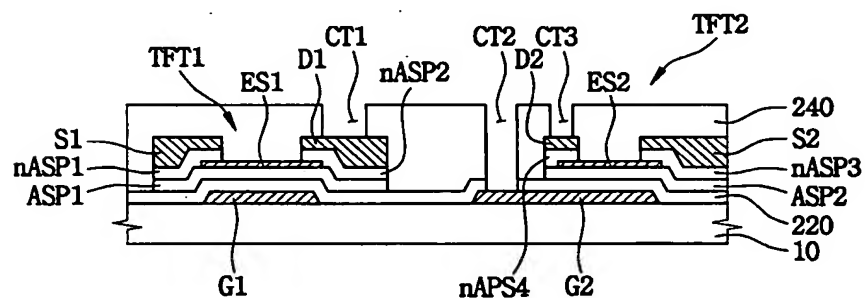
1020030049400

출력 일자: 2003/12/18

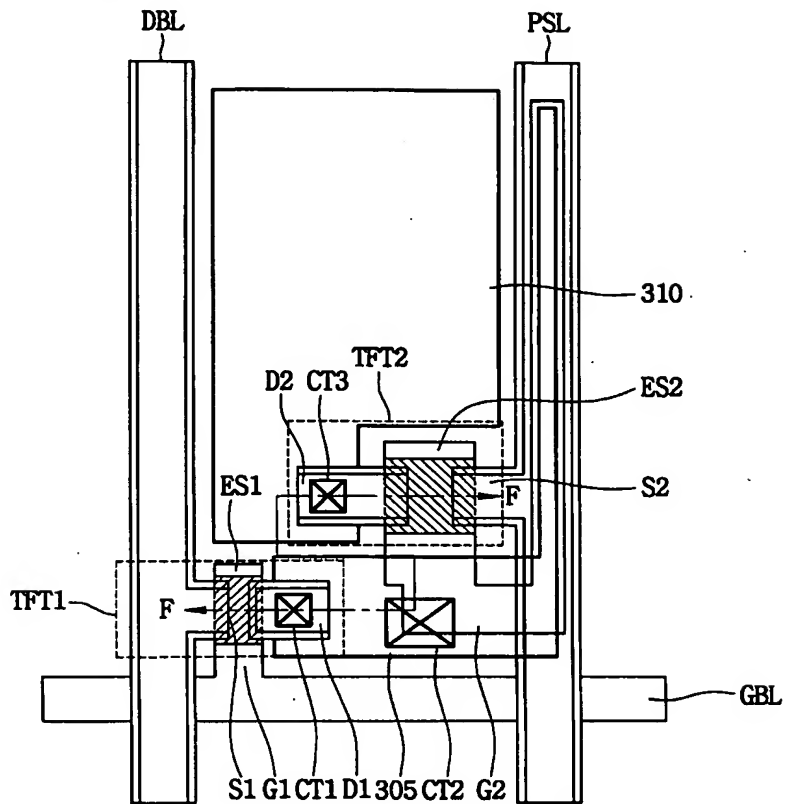
【도 11】



【도 12】



【도 13】



240

【도 14】

